

mailing date

출력 일자: 2002/7/2

출원번호: 10-2000-0056402

발송일자: 2002.06.29

제출기일: 2002.08.29

수신: 서울 중로구 수송동 80 대한제보협빌딩
5층

이병호 귀하

110-140

특허청 Notice of Preliminary Rejection
의견제출통지서

출원인 영칭 세이코 영슨 가부시키가이샤 (출원인코드: 5199A0961456)

주소 일본 도쿄도 신주구구 나시신주쿠 2조메 4-1

대리인 영연 이병호

주소 서울 중로구 수송동 80 대한제보협빌딩 5층

출원번호 10-2000-0056402

발명의 명칭 전기 광학 장치 및 그것을 사용한 전자 기기 및 표시 구동전력 회로

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하
오니 의견이 있거나 보정이 필요한 경우에는 상기 제출기한까지 의견서 또는/및 보정서를 제출하여
주시기 바랍니다. (상기 제출기일에 대하여 매월 1일 단위로 연장을 신청할 수 있으며, 이 신청에
대하여 별도의 기간연장승인증지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항 내지 제15항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술부
야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 통이하게 발명할 수 있는 것이므로 특
허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

아래: 10-2000-56402

본원의 청구범위 제1항 내지 제15항에 기재된 발명은 복수의 드라이버 IC(마스터 IC 및 슬레이브 IC)를 사용하여 진동에 데이터 신호를 공급하더라도, 마스터 IC의 표시제어신호생성부
에서 생성된 표시제어신호를 외부 배선을 통해 각각 마스터 IC 및 슬레이브 IC에 인가되도록 함으로
써 표시제어신호의 지연에 따라 발생하는 와전내의 좌우 놓임차를 저감하는 것을 목적으로 하는 전기
기광학장치 및 그것을 사용한 전자기기 및 표시구동용 IC에 관한 것이다. 이는 복수개의 신호처리
동IC 및 수사측 구동IC를 구비한 액정표시장치(제2항 참조)를 개시한 인용구(일본 공개특허공보
평8-36373호, 1998년 2월 6일)에서 표시패널을 제어하는 디스플레이 컨트롤러(8)를 신호측 구동IC
중의 하나에 탑재함으로써 당업자가 통이하게 발명할 수 있을 것으로 판단됩니다.

[첨부]

첨부1 인용문헌 끝.

2002.06.29

특허청

식시4국

전자 심사담당관실

심사관 정연우



2-1

Best Available Copy

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-036373

(43)Date of publication of application : 06.02.1996

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 08-191009 (71)Applicant : RICOH CO LTD

(22)Date of filing : 21.07.1994 (72)Inventor : KAMEYAMA KENJI

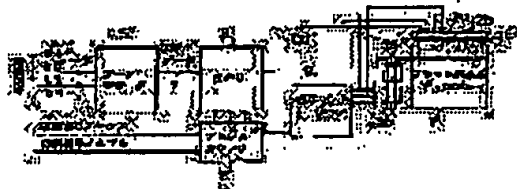
(54) CONTROLLER FOR DISPLAY

(57)Abstract:

PURPOSE: To make it possible to assign intensity levels without generating flickering in the state of reducing a production cost by assigning the intensity levels by putting signal driving ICs plural times into an output state in one scanning time on a scanning side.

CONSTITUTION: The gradation signals b1 to b4 of 4 bits of respective pixels are converted to display data indicating on/off of one scanning time by a data decoder 5. The display data are stored in a memory 6. A display controller 8 for controlling display of a panel 1 is connected to signal side driving ICs 2a to 2c and scanning side driving ICs 3a, 3b of the display panel 1 and further, this controller 8 is connected to an address counter 7 as well. Then, the display data

read 7 times 1 bit each in the one scanning time in accordance with the operation of a latch counter and decoder of the controller 8. Modulation within the scanning time is thus executed. The on/off signals of the prescribed pixels are obtd. in correspondence to the respective gradation signals in the one scanning time. The assigning of the intensity levels of 8 gradations is thus executed with high quality without generating the flickering.



LEGAL STATUS

[Date of request for examination] 15.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application]

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa10890DA408036373P1...> 2002/10/29

Searching PAJ

2/2 ページ

other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa10890DA408036373P1...> 2002/10/29

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出版公開番号

特開平8-36373

(43) 公開日 平成8年(1996)2月6日

(51) Int. Cl. [°]	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 7 5			
G 0 9 G 3/20		K 4237-GH		

審査請求 未請求 請求項の数9 F D (全 8 頁)

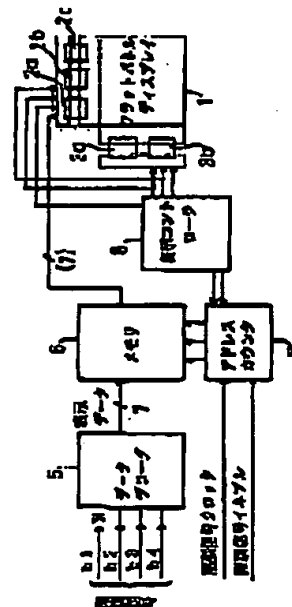
(21) 出願番号	特開平8-191009	(71) 出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成6年(1994)7月21日	(72) 発明者	亀山 健司 東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 ディスプレイ用コントローラ

(57) 【要約】

【目的】 高品質の階調表示が行なわれ、且つ低製造コストで製造可能なディスプレイ用コントローラを提供する。

【構成】 信号側駆動IC 2a~2cに2倍表示用の駆動ICを用い、表示コントローラ8によって、走査側駆動IC 3a 3bの1走査時間に対して、信号側駆動IC 2a~2cを複数回出力状態にして、階調表示が行なわれる。



(2)

特開平8-36373

1

【特許請求の範囲】

【請求項1】 信号駆動ICに2値表示用の駆動ICを用いたディスプレイ用コントローラであり、走査側の1走査時間に対し、前記信号駆動ICを複数回出力状態にして、階調表示を行なう制御手段を有することを特徴とするディスプレイ用コントローラ。

【請求項2】 前記制御手段が、ディスプレイに表示する各画素の階調信号に基づいて、前記信号側ICを、予め設定した時間の間出力状態にすることにより階調表示を行なうことを特徴とする請求項1記載のディスプレイ用コントローラ。

【請求項3】 前記制御手段が、前記各画素の階調信号のビット数 n に対し、前記信号側ICを最大 $2^n - 1$ 回出力状態にすることを特徴とする請求項2記載のディスプレイ用コントローラ。

【請求項4】 前記予め設定した時間 t_m が、各画素の階調信号のビット数を n 、 n より小さい自然数を m として、 $t_m = 2^{(n-1)} \times T / (2^n - 1)$ であることを特徴とする請求項2記載のディスプレイ用コントローラ。

【請求項5】 前記信号駆動ICの出力状態の時間は、画素の階調信号の各ビット b_m ($m = 1, 2, \dots$) について、前記1走査時間を T 、 n を各画素に入力される階調信号のビット数、 b_m が前記出力状態がONで1、OFFで0となるものとして、 $\{T / (2^n - 1)\} \Sigma (2^{(n-1)} \times b_m)$ であることを特徴とする請求項2記載のディスプレイ用コントローラ。

【請求項6】 前記信号側駆動ICの出力状態の時間は、メモリの格納データに基づいて設定されることを特徴とする請求項5記載のディスプレイ用コントローラ。

【請求項7】 前記メモリの格納データが、書き換え可能であることを特徴とする請求項6記載のディスプレイ用コントローラ。

【請求項8】 各画素の階調表示データを1走査ライン分以上格納する格納手段と、前記階調表示データを各画素ごとに1ビットずつ、前記格納手段から読み出し表示する表示手段とを、さらに有することを特徴とする請求項5ないし請求項7の何れかに記載のディスプレイ用コントローラ。

【請求項9】 ディスプレイとして、絶縁層に硬質炭素膜を用い、MIM素子で構成したマトリクスアレイを電極基板に用いた液晶パネルを使用したことを特徴とする請求項8記載のディスプレイ用コントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はディスプレイ用コントローラに関する。

【0002】

【従来の技術】 ディスプレイ用の表示パネルでは、画素の階調表示を行なうことが要求される。この要求に対して、例えば液晶パネルを取り上げて説明すると、フレー

2

ム変調、パルス幅変調、電圧変調の3種の階調表示が行なわれている。

【0003】

【発明が解決しようとする課題】 前述のパルス幅変調、電圧変調による階調表示は、表示品質が優れているが、それぞれ専用の駆動ICが必要で、製造コストの面で問題がある。一方、フレーム変調による階調表示は、2値表示用の駆動ICが使用可能で、製造コスト上で問題はないが、表示にフリッカを生じて表示品質の面で問題が生じる。このために、現状ではフレーム変調による階調表示は、低価格の製品に取り入れられ、パルス幅変調、電圧変調による階調表示は、高価格の製品に取り入れられている。

【0004】 本発明は、前述したような階調表示の現状に鑑みてなされたものであり、その目的は、高品質の階調表示が行なわれ、且つ低製造コストで製造可能なディスプレイ用コントローラを提供することにある。

【0005】

【課題を解決するための手段】 前記目的を達成するために、請求項1記載の発明は、信号駆動ICに3値表示用の駆動ICを用いたディスプレイ用コントローラであり、走査側の1走査時間に対し、前記信号駆動ICを複数回出力状態にして、階調表示を行なう制御手段を有することを特徴とするものである。

【0006】 同様に前記目的を達成するために、請求項2記載の発明は、請求項1記載の発明において、前記制御手段が、ディスプレイに表示する各画素の階調信号に基づいて、前記信号側ICを、予め設定した時間の間出力状態にすることにより階調表示を行なうことを特徴とするものである。

【0007】 同様に前記目的を達成するために、請求項3記載の発明は、請求項2記載の発明において、前記制御手段が、前記各画素の階調信号のビット数 n に対し、前記信号側ICを最大 $2^n - 1$ 回出力状態にすることを特徴とするものである。

【0008】 同様に前記目的を達成するために、請求項4記載の発明は、請求項3記載の発明において、前記予め設定した時間 t_m が、各画素の階調信号のビット数を n 、 n より小さい自然数を m として、 $t_m = 2^{(n-1)} \times T / (2^n - 1)$ であることを特徴とするものである。

【0009】 同様に前記目的を達成するために、請求項5記載の発明は、請求項2記載の発明において、前記信号駆動ICの出力状態の時間は、画素の階調信号の各ビット b_m ($m = 1, 2, \dots$) について、前記1走査時間を T 、 n を各画素に入力される階調信号のビット数、 b_m が前記出力状態がONで1、OFFで0となるものとして、 $\{T / (2^n - 1)\} \Sigma (2^{(n-1)} \times b_m)$ であることを特徴とするものである。

【0010】 同様に前記目的を達成するために、請求項

(3)

特開平8-35373

6記載の発明は、請求項5記載の発明において、前記信号側駆動ICの出力状態の時間は、メモリの格納データに基づいて設定されることを特徴とするものである。

【0011】同様に前記目的を達成するために、請求項7記載の発明は、請求項6記載の発明において、前記メモリの格納データが、書き換え可能であることを特徴とするものである。

【0012】同様に前記目的を達成するために、請求項8記載の発明は、請求項3ないし請求項7の何れかに記載の発明に対して、各画素の階調表示データを1走査ライン分以上格納する格納手段と、前記階調表示データを各画素ごとに1ビットづつ、前記格納手段から読み出し表示する表示手段とを、さらに有することを特徴とするものである。

【0013】同様に前記目的を達成するために、請求項9記載の発明は、請求項8記載の発明において、ディスプレイとして、絶縁層に酸化炭素膜を用い、MIM素子で構成したマトリクスアレイを絶縁基板に用いた液晶パネルを使用したことを特徴とするものである。

【0014】

【作用】請求項1記載の発明では、信号側駆動ICに2値表示用の駆動ICを用いたディスプレイ用コントローラにおいて、走査側の1走査時間に対し、信号側駆動ICを複数回出力状態にして、階調表示が行なわれる。

【0015】請求項2記載の発明では、請求項1記載の発明において、ディスプレイに表示する各画素の階調信号に基づいて、信号側ICを、予め設定した時間の間出力状態にすることにより階調表示が行なわれる。

【0016】請求項3記載の発明では、請求項2記載の発明において、各画素の階調信号のビット数 n に対し、信号側ICを最大 $2^n - 1$ 回出力状態にすることにより階調表示が行なわれる。

【0017】請求項4記載の発明では、請求項2記載の発明において、予め設定した時間 t_a が、走査時間を T 、各画素の階調信号のビット数を n 、 n より小さい自然数を m として、 $t_a = 2^{(n-1)} \times T / (2^n - 1)$ に設定される。

【0018】請求項5記載の発明では、請求項2記載の発明において、信号側駆動ICの出力状態の時間は、画素の階調信号の各ビット b_m ($m = 1, 2, \dots$) について、1走査時間を T 、 n を各画素に入力される階調信号のビット数、 b_m を前記出力状態がONで1、OFFで0となるものとして、 $(T / (2^n - 1)) \times 2^{(b_m - 1)}$ に設定される。

【0019】請求項6記載の発明では、請求項5記載の発明において、信号側駆動ICの出力状態の時間は、メモリの格納データに基づいて設定される。

$$N = b_2 \times 4 + b_3 \times 2 + b_4 \times 1$$

【0025】本実施例には、図2に示すように、階調信号 $b_1 \sim b_4$ が入力され、表示データが作成されるデ

* 【0020】請求項7記載の発明では、請求項6記載の発明において、メモリの格納データが、必要に応じて書き換えられる。

【0021】請求項8記載の発明、及び請求項9記載の発明では、請求項3ないし請求項7の何れかに記載の発明において、階調表示データが、格納手段によって1走査ライン分以上格納され、表示手段によって、階調表示データが各画素ごとに1ビットづつ、格納手段から読み出し表示される。

【0022】

【実施例】

【第1の実施例】本発明の第1の実施例を、図1ないし図6を参照して説明する。図1は本発明の第1の実施例のディスプレイのパネル部の構成を示す説明図、図2は本実施例の全体構成を示すブロック図、図3は図2の表示コントローラの構成を示すブロック図、図4は本実施例のMIM (metal insulator metal) 素子の構造を示す説明図、図5は本実施例の階調表示動作を示すタイムチャート、図6は本実施例の階調信号とデコード出力との関係を示す説明図である。

【0023】本実施例では、図1に示すように、フラットパネルディスプレイの表示パネル1において、信号側には、入力されるデータに基づいて、表示パネル1に対するON/OFF信号を出力する2値駆動用IC2a～2cが、走査側には、クロック信号の入力によって、順次1ラインを選択する走査側駆動IC3a、3bがそれぞれ実装されている。走査側駆動IC3a、3bは1ラインづつ順次走査を行い、走査されている電極上の各画素に対応するON/OFF信号が、2値駆動用IC2a～2cから出力されることにより、表示パネル1に対して画像形成が行なわれる。本実施例では、 n 階調の表示を行なう場合に、1走査時間内に信号側から $n-1$ 回の出力を行なうようにし、1走査時間内に出力されたON信号の回数によって変調を行なって、 n 階調の表示を行なうように構成されている。

【0024】本実施例で8階調表示を行なう場合を説明すると、3ビットで8階調を表現可能であるが、本実施例では、周辺回路が簡単にデータを操作できるように、無効ビットを1ビット加えて、1画素当たり4ビットを割り当て、1操作時間に7回のON/OFF信号を信号側駆動IC2a～2cが出力するようにしてある。このために、入力した画素当たりの階調信号を b_1 、 b_2 、 b_3 、 b_4 の4ビットで表示すると、 b_1 を無効ビットとして1操作時間内の出力回数を N で示すと、本実施例は、(1)式で表される変換を1画素ずつ行い、1走査時間に N 回のON/OFF信号を出力する機能を有している。

(1)

デコード5が設けられ、このデータデコード5に表示データが格納されるメモリ6が接続され、メモリ6は、

(4)

特開平8-30373

5

表示パネル1の信号側駆動IC2a~2cに接続されている。このメモリ6には、クロックとイネーブル信号が入力されるアドレスカウンタ7が接続されている。また、表示パネル1の信号側駆動IC2a~2c及び走査側駆動IC3a、3bには、表示パネル1の表示を制御する表示コントローラ8が接続され、この表示コントローラ8はアドレスカウンタ7にも接続されている。

【0026】表示コントローラ8には、図3に示すように、クロックを発生する基準発振器10が設けられ、基準発振器10には、信号側のセグメントカウンタ11が接続され、セグメントカウンタ11にはデコーダ12が接続されている。また、デコーダ13には、ラッチカウンタ13が接続され、ラッチカウンタ13にはデコーダ14が接続され、デコーダ14には走査側の共通カウンタ15が接続され、共通カウンタ15にはデコーダ16が接続されている。

【0027】本実施例では、図3に示す表示コントローラを含む図2に示す構成の全体の回路が、FPGA（フィールド・プログラマブル・ゲートアレイ）を用いて構成されている。また、表示パネル1としては、絶縁炭素膜を絶縁材料に用いたMIM素子によって作成されるアクティブマトリクス型液晶パネルが使用されている。このアクティブマトリクス型液晶パネルの作成方法を簡単に説明する。基板31としてバイレックスが使用され、この基板31上に、マグネトロンスパッタ法により、800人の厚さにITO膜（酸化インジウム）を形成し、パターン化して図素電極32を作成する。次に、能動素子として、絶縁炭素膜を使用したMIM素子を以下のようにして設ける。先ず、基板31の図素電極32上にA1を蒸着法により1000人の厚さに堆積し、パターン化することにより下部電極33を形成する。この下部電極33上に、絶縁膜として絶縁炭素膜34を、プラズマCVD法により1100人の厚さに堆積し、その後ドライエッチングによりパターン化する。さらに、各絶縁炭素膜上に、N1を蒸着法により1000人の厚さに堆積し、その後パターン化して上部電極35を形成する。

【0028】次に、他方の透明基板（対向基板）として、バイレックス上にITOをスパッタリング法により1000人の厚さに形成し、ストライプ状にパターン化して共通電極36を作成する。そして、両基板の上に配向膜としてポリイミド膜を形成し、ラビング処理を行ない、これらの基板を各図素電極側を内側にして対向させ、ギャップ剤を介して貼り合わせ、形成されたセル内に液晶材を封入することにより液晶パネルを形成する。信号側駆動IC2a~2c及び走査側駆動IC3a、3bは、熱硬化型両方性導電膜を使用して、熱圧着法により表示パネル1に実装する。

【0029】本実施例では、各図素の4ビットの階調信号は、図2のデータデコーダ5で、1走査時間のON/OFF

6

OFFを示す表示データに変換され、入力される階調データと表示データとの関係は、図6に示すようになる。データデコーダ5からの表示データはメモリ6に格納され、この表示データが、図3のラッチカウンタ13及びデコーダ14の動作に基づいて、1走査時間に1ビットずつ7回読み出されて、走査時間内での変調が行なわれる。この場合、階調表示データを1走査分以上格納するメモリを使用すると、高画質の描画を行なうことが可能になる。この際使用するメモリとしては、FIFO、マルチポートVRAM、SRAM、DRAMなどの書換可能なメモリが最適である。特に、FIFOは、1走査分のデータを処理する際に、周辺回路を容易に構築することができ便利である。

【0030】このように、本実施例によると、1走査時間において、各階調信号に対応して、図6に示すような図素のON/OFF信号が得られ、フリッカの発生のない8階調の高品質の階調表示を行なうことが可能になる。また、本実施例では、絶縁炭素膜を絶縁層にしたMIMアクティブマトリクス液晶表示パネルを使用することにより、製造コストを低減して高品質な階調表示を行なうことが可能になる。

【0031】【第2の実施例】本発明の第2の実施例を、図7を参照して説明する。図7は本実施例の階調信号とデコーダ出力との関係を示す説明図である。

【0032】本実施例では、信号側の出力は、図3に示すセグメントカウンタ11に接続されたデコーダ13によつて、それぞれ1回、2回、4回出力する3ブロックに分割されるように構成されている。本実施例のその他の部分の構成は、すでに説明した第1の実施例と同一である。

【0033】本実施例では、1走査時間において、各階調信号に対応して、図7に示すような図素のON/OFF信号が得られ、フリッカの発生のない8階調の高品質の表示を行なうことが可能である。本実施例のその他の動作及び効果は、すでに説明した第1の実施例と同一である。

【0034】【第3の実施例】本発明の第3の実施例を、図8を参照して説明する。図8は、本実施例の表示コントローラの構成を示す説明図である。

【0035】本実施例の表示コントローラ8Aは、図8に示すように、すでに図3を参照して説明した第1の実施例の表示コントローラ8に対して、デコーダ14にレジスタカウンタ41が接続され、レジスタカウンタ41にEPROMであるレジスタ42が接続されている。このレジスタ42には、信号側駆動IC2a~2cの出力状態のデータが格納されており、この格納データは光外線や電気信号によつて書換が可能になっている。本実施例のその他の部分の構成は、すでに説明した第2の実施例と同一である。

【0036】本実施例では、信号側駆動IC2a~2c

(5)

特開平8-30373

7
の出力の状態、即ち出力の階調をレジスタ42の格納データに基づいて設定し、1走査時間において、所望の出力階調で、表示パネル1のON/OFF信号を出力させ、最適な表示階調が設定される。また、レジスタ42の格納データに最適なデータが存在しない場合には、データを書換えて最適なデータがレジスタ42に格納される。表示コントローラ8Aによるラッチ信号間隔の調整には、レジスタカウンタ41でクロック信号をカウントし、このレジスタカウンタ41をリセットする値をレジスタ42に入力しておく方法が取られる。

【0037】本実施例によると、第2の実施例の効果に加えて、レジスタ42の格納データから選択した信号側駆動IC2a~2cの出力状態のデータによって、表示パネル1の階調表示を選択し、所望の階調表示を行なうことが可能になる。また、実際に表示を行いながら、階調信号と表示特性の関係を補正し、最適の特性を設定することが可能になる。以上の説明では、レジスタ42はコントローラ内に設けて、部品コストを削減した場合を説明したが、コントローラとは別体のレジスタを使用してもよい。

【0038】なお、本発明では、各実施例での説明に限定されず、一般に、各画素の階調信号のビット数nに対し、信号側ICを最大2n-1回出力状態にすることにより階調表示を行なうことができる。同様に本発明では、信号側ICが出力状態にされる時間t₀が、各画素の階調信号のビット数をn、nより小さい自然数をmとして、 $t_0 = 2^{(n-m)} \times T / (2^n - 1)$ に設定可能である。また、信号側ICの出力状態の時間は、画素の階調信号の各ビットb_m (m=1,2,...)について、1走査時間をT、nを各画素に入力される階調信号のビット数、b_mが前記出力状態がONで1、OFFで0となるものとして、 $(T / (2^n - 1)) \times \sum (2^{(n-m)} \times b_m)$ に設定することができる。

【0039】

【発明の効果】請求項1記載の発明ないし請求項5記載の発明によると、信号側駆動ICに2値表示用の駆動ICを用いたディスプレイ用コントローラにおいて、走査側の1走査時間に対し、信号側駆動ICを複数回出力状態にして、階調表示が行なわれるので、製造コストを低減した状態で、フリッカの発生しない階調表示を行なうこと

8
が可能になる。請求項6記載の発明によると、請求項1記載の発明ないし請求項5記載の発明での効果に加えて、信号側駆動ICの出力状態の時間は、メモリの格納データに基づいて設定されるので、階調表示の特性を選択し、所望の特性での階調表示を行なうことが可能になる。請求項7記載の発明によると、請求項6記載の発明の効果に加えて、メモリの格納データが、必要に応じて書換えられるので、所望の階調表示の特性を書込んで、階調表示の特性での階調表示を行なうことが可能になる。請求項8記載の発明及び請求項9記載の発明によると、階調表示データが、格納手段によって1走査ライン分以上格納され、表示手段によって、階調表示データが各画素ごとに1ビットづつ、格納手段から読み出し表示されるので、請求項3ないし請求項7の何れかに記載の発明の効果に加えて、より高画質の階調表示を行なうことが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のディスプレイのパネル部の構成を示す説明図である。

【図2】同実施例の全体構成を示すブロック図である。

【図3】図2の表示コントローラの構成を示すブロック図である。

【図4】同実施例のMIM素子の構造を示す説明図である。

【図5】同実施例の階調表示動作を示すタイムチャートである。

【図6】同実施例の階調信号とデコード出力との関係を示す説明図である。

【図7】本発明の第2の実施例の階調信号とデコード出力との関係を示す説明図である。

【図8】本発明の第3の実施例の表示コントローラの構成を示す説明図である。

【符号の説明】

1 表示パネル

2a~2c 信号側駆動IC

3a, 3b 走査側駆動IC

5 データデコード

6 メモリ

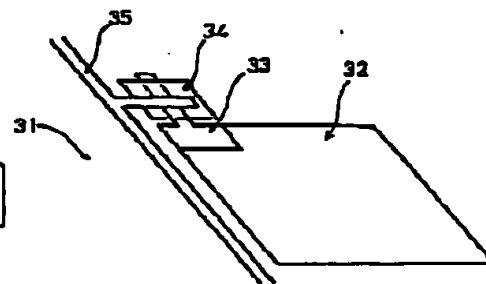
7 アドレスカウンタ

8 表示コントローラ

特開平8-36373

A schematic diagram of a multi-channel optical system. At the top, three rectangular input channels are labeled 2a, 2b, and 2c. Each contains a smaller rectangle representing a lens or aperture. Below these, a large rectangular block represents the main optical assembly. On the left side of this block, two rectangular output channels are labeled 3a and 3b, each containing a smaller rectangle. Multiple horizontal lines represent light paths or fibers connecting the input channels to the output channels. Specifically, lines from 2a and 2b converge towards 3a, while lines from 2b and 2c converge towards 3b. A dashed line and a dotted line are also shown within the main block, indicating internal optical paths or boundaries.

Figure 1 is a block diagram of a data processing system. The system includes a Data Register (5) with inputs b1, b2, b3, b4 and outputs a1, a2, a3, a4. It is connected to Memory (6) and a Display Control Unit (8). The Display Control Unit (8) is connected to a Display Panel (1) via a Display Control Bus (7). The Display Panel (1) has inputs 2a, 2b, 2c and outputs 3a, 3b. The system also includes a Data Register Clock (4) and a Data Register Enable (3) signal.

[illegible]

(7)

特開平8-86373

【図5】

階層番号				1 定数時間			
(b1 b2 b3 b4)				全OFF			
X 0 0 0							
X 0 0 1	ON			OFF			
X 0 1 0	ON			OFF			
X 0 1 1	ON			OFF			
X 1 0 0	ON			OFF			
X 1 0 1	ON			OFF			
X 1 1 0	ON			OFF			
X 1 1 1	ON			OFF			
X 1 1 1	ON			全ON			

【図6】

階層番号				デコード出力						
b1	b2	b3	b4	d1	d2	d3	d4	d5	d6	d7
X	0	0	0	0	0	0	0	0	0	0
X	0	0	1	0	0	0	0	0	0	1
X	0	1	0	0	0	0	0	0	1	1
X	0	1	1	0	0	0	0	1	1	1
X	1	0	0	0	0	0	1	1	1	1
X	1	0	1	0	0	1	1	1	1	1
X	1	1	0	0	1	1	1	1	1	1
X	1	1	1	1	1	1	1	1	1	1

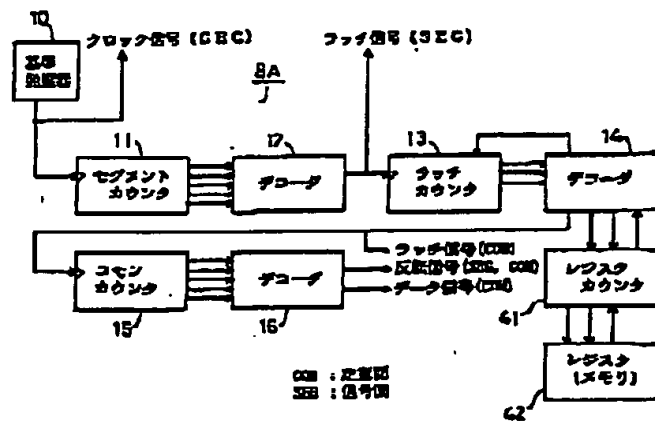
【図7】

階層番号				1 定数時間			
b1	b2	b3	b4				
X	0	0	0	全OFF			
X	0	0	1	ON	OFF		
X	0	1	0	OFF	ON	OFF	
X	0	1	1	ON		OFF	
X	1	0	0	OFF		ON	
X	1	0	1	ON	OFF	ON	
X	1	1	0	OFF		ON	
X	1	1	1	全ON			

(8)

特開平8-36373

【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.